

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-133033

(43)Date of publication of application : 07.05.1992

(51)Int.Cl.

G02F 1/136
G02F 1/1343
H01L 27/12
H01L 29/784

(21)Application number : 02-254918

(71)Applicant : SEIKO INSTR INC

(22)Date of filing : 25.09.1990

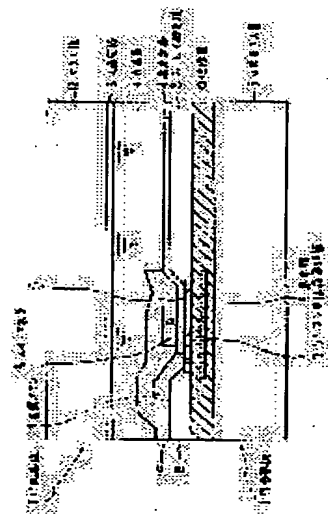
(72)Inventor : YAMAZAKI TSUNEO
TAGUCHI MASAOKI
YABE SATORU
KOJIMA YOSHIKAZU
TAKASU HIROAKI
TAKANO RYUICHI
SUZUKI HIROSHI

(54) SEMICONDUCTOR SINGLE CRYSTAL THIN FILM SUBSTRATE OPTICAL VALVE DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To prevent the occurrence of an optical leakage current and to contrive the fineness and the high density by forming a pixel electrode and a driving circuit with the fining technology, etc., on a composite substrate consisting of an insulated carrier layer and a semiconductor single crystal thin film layer formed on it and providing a light shielding means.

CONSTITUTION: On the composite substrate 1 consisting of a silicon single crystal thin film layer 2 and a quartz glass layer 3, the pixel electrode 4 is formed. Also on the silicon single crystal thin film layer 2, a switching element 5 driving the pixel electrode 4 is formed. Here the switching element 5 is constituted of a pair of a drain region D and a source region S formed on the silicon single crystal thin film layer 2 and a gate electrode G laminated and arranged with a gate insulated film 6. The light shielding film 9 shielding the switching element 5 from incident light is embedded in an insulated layer 10 just below the film layer 2 region where the switching element 5 is formed. Besides a counter substrate 11 is arranged to face oppositely through a prescribed clearance against the composite substrate 1 and the liquid crystal layer 14 is filled in the clearance.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-133033

⑬ Int. Cl.⁵

G 02 F 1/136
1/1343

識別記号

5 0 0

庁内整理番号

9018-2K
9018-2K
9056-4M

⑭ 公開 平成4年(1992)5月7日

H 01 L 29/78 3 1 1 A※
審査請求 未請求 請求項の数 17 (全16頁)

⑮ 発明の名称 半導体単結晶薄膜基板光弁装置とその製造方法

⑯ 特 願 平2-254918

⑰ 出 願 平2(1990)9月25日

⑱ 発 明 者 山 崎 恒 夫 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内
⑲ 発 明 者 田 口 雅 明 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内
⑳ 発 明 者 矢 部 悟 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内
㉑ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号
会社
㉒ 代 理 人 弁理士 林 敬之助
最終頁に続く

明 細 書

1. 発明の名称

半導体単結晶薄膜基板光弁装置と
その製造方法

2. 特許請求の範囲

1. 半導体単結晶薄膜層と絶縁性担体層とを有する
複合基板と、

複合基板表面に形成され画素を規定する画素電
極群と、

半導体単結晶薄膜層に集積的に形成され画素電
極群を駆動する為の集積駆動回路と、

集積駆動回路を入射光から遮閉する為の遮光手
段と、

所定の間隙を介して複合基板に対向配置された
対向基板と、

該間隙に配置され画素毎に入射光の光学変調を
行なう為の電気光学物質層とからなる光弁装置。

2. 該集積駆動回路は、画素電極群に対応して形成
され個々の画素電極を選択給電する為のスイッチ

素子群を含み、

該遮光手段は、個々のスイッチ素子を遮光する
為の遮光膜を含んでいる請求項1に記載の光弁装
置。

3. 該遮光膜は、個々のスイッチ素子が形成された
半導体単結晶薄膜層領域の直下に配置されている
請求項2に記載の光弁装置。

4. 該複合基板は、半導体単結晶薄膜層と絶縁性担
体層との間に介在する絶縁層を有しており、

該遮光膜は導電性を有するとともに該絶縁層に
より対応するスイッチ素子から分離されている請
求項3に記載の光弁装置。

5. 該遮光膜は、個々のスイッチ素子に関し半導体
単結晶薄膜層と反対側でスイッチ素子の直上に位
置する請求項2に記載の光弁装置。

6. 各スイッチ素子は、該半導体単結晶薄膜層に形
成されたソース領域及びドレイン領域とゲート絶
縁膜を介して積層配置されたゲート電極とからな
る絶縁ゲート電界効果トランジスタで構成されて
いるとともに、

該遮光膜はゲート電極表面に積層されている請求項5に記載の光弁装置。

7. 該遮光膜は、ゲート電極の平面寸法より大きな平面寸法を有するとともに、

該絶縁ゲート電界効果トランジスタはLED構造を有する請求項6に記載の光弁装置。

8. 各スイッチ素子は、対応する画素電極に接続するソース領域と、ドレイン領域と、ゲート電極とからなる絶縁ゲート電界効果トランジスタで構成されているとともに、

該遮光膜は、ドレイン領域に接続するドレイン電極から延設されゲート電極の上方においてスイッチ素子を覆う電極膜である請求項5に記載の光弁装置。

9. 該集積駆動回路は、画素電極群を選択給電する為のスイッチ素子群と、該スイッチ素子群を駆動する為に画素電極群の周辺に配置されたドライバ回路とを有しており、

該遮光手段は、ドライバ回路全体を遮光する遮光層を含んでいる請求項1に記載の光弁装置。

物質を充填する第5工程とからなる光弁装置の製造方法。

14. 第2工程は、絶縁性担体板部材の表面に遮光膜をバタニング形成する工程と、該板部材表面全体を平坦な絶縁膜で被覆する工程とからなる請求項13に記載の光弁装置の製造方法。

15. 第3工程は、半導体単結晶板部材の表面に平坦な絶縁膜を被覆する工程と、該絶縁膜を介して半導体単結晶板部材と絶縁性担体板部材とを熱圧着する工程とを含む請求項14に記載の光弁装置の製造方法。

16. 第2工程は、半導体単結晶板部材の表面上に対して遮光膜をバタニング形成する工程と、該板部材表面全体を平坦な絶縁膜で被覆する工程とからなる請求項13に記載の光弁装置の製造方法。

17. 第2工程は、半導体単結晶板部材の表面に段差凹部を形成する工程と、該板部材表面に絶縁膜を形成し段差凹部を埋める工程と、該絶縁膜表面に平坦化された半導体多結晶層を形成する工程を有し、

10. 該遮光層は、複合基板と対向基板を互いに接合する為の遮光性シーラからなる請求項9に記載の光弁装置。

11. 該遮光層は、複合基板の周辺部表面に塗布された遮光性樹脂層からなる請求項9に記載の光弁装置。

12. 該遮光層は、複合基板の周辺部に配置された金属枠部材からなる請求項9に記載の光弁装置。

13. 一対の半導体単結晶板部材と絶縁性担体板部材とを用意する第1工程と、

一方の板部材の表面に遮光膜を形成する第2工程と、

遮光膜を挟んで一対の板部材を互いに接合するとともに、半導体単結晶板部材を研磨して半導体単結晶薄膜層を形成する第3工程と、

該半導体単結晶薄膜層に対して遮光膜に重ならない様に画素電極群を形成し、遮光膜に重なる様にスイッチ素子群を集積形成する第4工程と、

絶縁性担体板部材に対して所定の間隙を介して対向基板を接合するとともに、該間隙に電気光学

第3工程は、平坦化半導体多結晶層に絶縁性担体板部材を接合する工程と、該絶縁膜をストップとして半導体単結晶板部材をエッチングあるいは研磨で除去し半導体単結晶薄膜層を形成するとともに該絶縁膜を露出する工程と、該露出された絶縁膜を除去し窓部を形成するとともに窓部を介して半導体多結晶層を選択的に酸化膜層に転換する事により窓部を埋め平坦化するとともに残された半導体多結晶層で遮光膜を形成する工程とを有している請求項13に記載の光弁装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は直視型表示装置や投影型表示装置等に用いられる平板型光弁装置とその製造方法に関する。より詳しくは、駆動回路と画素電極群とが集積的に形成された半導体薄膜基板を用いて構成されたアクティブマトリックス型の光弁装置とその製造方法に関する。

〔従来の技術〕

アクティブマトリックス装置の原理は比較的簡

単であり、各画素にスイッチ素子を設け、特定の画素を選択する場合には対応するスイッチ素子を導通させ、非選択時にはスイッチ素子を非導通状態にしておくものである。このスイッチ素子はアクティブマトリックス装置を構成する半導体薄膜基板に形成されている。スイッチ素子は通常薄膜型の絶縁ゲート電界効果トランジスタから構成されている。

従来、アクティブマトリックス装置においては薄膜トランジスタはガラス基板上に堆積された非晶質シリコン薄膜あるいは多結晶シリコン薄膜の表面に形成されていた。これら非晶質シリコン薄膜及び多結晶シリコン薄膜は物理気相成長法又は化学気相成長法を用いてガラス基板上に容易に堆積できるので比較的大画面のアクティブマトリックス装置を製造するのに適している。

〔発明が解決しようとする課題〕

しかしながら、従来の非晶質シリコン薄膜あるいは多結晶シリコン薄膜を用いたアクティブマトリックス装置は、薄膜スイッチ素子の微細化及び

画素電極の高密度化には必ずしも適していない。最近、比較的大面積の画像面が必要とされる直視型表示装置とは別に、微細化された高密度の画素を有する超小型表示装置あるいは光弁装置に対する要求が高まってきている。かかる超小型光弁装置は例えば投影型画像装置の一次画像形成面として利用され、投影型のハイビジョンテレビとして応用可能である。仮に、微細半導体製造技術あるいはLSI製造技術を用いる事ができれば、1 μ mオーダの画素寸法を有し全体としても数cm程度の寸法を有する超小型光弁装置が実現できると考えられている。

しかしながら、従来の非晶質あるいは多結晶シリコン薄膜を用いた場合には、LSI製造技術を駆使して μ mオーダあるいはサブ μ mオーダの薄膜トランジスタスイッチ素子を形成する事は困難である。例えば、非晶質シリコン薄膜の場合にはその成膜温度が300℃程度である為、LSI製造技術に必要な高温処理を実施する事ができない。又、多結晶シリコン薄膜の場合には結晶粒子の大きさ

が数 μ m程度である為、必然的に薄膜トランジスタの微細化が制限される。加えて、多結晶シリコン薄膜の成膜温度は800℃程度であり、1000℃以上の高温処理を要する微細化技術あるいはLSI製造技術を十分に活用する事は難しい。以上に述べた様に、従来の非晶質シリコン薄膜又は多結晶シリコン薄膜を用いたアクティブマトリックス装置においては、通常の半導体集積回路と同程度の集積密度及びチップ寸法を実現する事は極めて困難であるという問題点があった。

上述した従来の技術の問題点に鑑み、本発明は微細化された高精細の画素を有するアクティブマトリックス液晶装置等の光弁装置を提供する事を一般的な目的とする。この目的を達成する為に、本発明においては電気絶縁性の担体層とその上に形成された高品質の半導体単結晶薄膜層例えばシリコン単結晶薄膜層とからなる二層構造を有する複合基板を用いて薄膜トランジスタスイッチ素子群及び周辺駆動回路を形成する様にした。

ところで、シリコン単結晶薄膜トランジスタ

は、シリコン非晶質薄膜トランジスタあるいはシリコン多結晶薄膜トランジスタに比べて高速応答性及び素子の微細化の点で優れている一方、入射光に起因するリーク電流が大きいという不具合を有している。この光リーク電流はトランジスタからなるスイッチ素子のオン/オフ電流比を悪化させるので極力抑える必要がある。この為に、特に画素アレイ領域に形成された薄膜トランジスタスイッチ素子の遮光対策が必要とされる。

さらに、本発明においては素子の高速応答性を可能とし且つ微細化を達成する為に半導体単結晶薄膜例えばシリコン単結晶薄膜の上にスイッチ素子群ばかりでなく周辺駆動回路も集積形成されている。特に、シリコン単結晶薄膜を用いた場合にはCMOSTランジスタを形成できるので低消費電力化を図る事もできる。しかしながら、CMOSTランジスタを集積形成した場合には、入射光の照射に起因してN型トランジスタとP型トランジスタとの間でラッチアップ等が生じ誤動作あるいは最悪の場合には走の危険性がある。

従って、画素アレイ領域外に配置された周辺駆動回路に対しても遮光対策を講ずる必要がある。

そこで、本発明は複合基板表面に形成された半導体単結晶薄膜層に集積されたスイッチ素子群及び周辺回路素子群に対して有効な遮光手段を提供する事を主たる目的とする。

〔課題を解決するための手段〕

上述した本発明の一般的な目的及び主たる目的を達成する為に、本発明にかかる光弁装置は半導体単結晶薄膜層と絶縁性担体層とを有する複合基板を利用している。複合基板表面には画素を規定する画素電極群が高密度高精細に形成されている。又、半導体単結晶薄膜層には画素電極群を駆動する為の集積駆動回路が高密度で形成されている。加えて、この光弁装置は該集積駆動回路を入射光から遮断する為の遮光手段を具備している。複合基板に対して所定の間隙を介して対向基板が対向配置されている。この所定の間隙内には電気光学物質層が充填されており画素毎に入射光の光学変調を行なう。

該遮光膜はゲート電極表面に積層されており、少くとも絶縁ゲート電界効果トランジスタのチャネル領域に入射する光を遮断している。あるいは、この遮光膜はドレイン領域に接続するドレイン電極から延設されゲート電極の上方においてスイッチ素子を覆う様に配置された電極膜であっても良い。

前述した様に、該集積駆動回路は画素電極群を選択給電する為のスイッチ素子群に加えて、該スイッチ素子群を駆動する為に画素電極群の周辺に配置されたドライバ回路をも含んでいる。そして、該遮光手段はこのドライバ回路全体を遮光する為の遮光層をも含んでいる。この遮光層は、例えば複合基板と対向基板とを互いに接着する為の遮光性シーラから構成しても良い。あるいはこの遮光層は複合基板の周辺部表面に塗布された遮光性樹脂層から構成しても良い。さらには、この遮光層は複合基板の周辺部に配置された金属枠部材から構成しても良い。

上述した構造を有する光弁装置は以下に述べる

該半導体単結晶薄膜層に形成された集積駆動回路は、画素電極群に対応して配置されたスイッチ素子群を含んでおり、個々の画素電極を選択給電する。そして、該遮光手段は個々のスイッチ素子を遮光する為の遮光膜を含んでいる。この遮光膜は、各スイッチ素子が形成された半導体単結晶薄膜層領域の直下に配置されており、光弁装置の裏面から入射する光を遮断している。この遮光膜は導電性を有するとともに絶縁層により対応するスイッチ素子から電気的に分離されている。この絶縁層は半導体単結晶薄膜層と絶縁性担体層との間に介在している。

他の態様によれば、遮光膜は、各スイッチ素子に関し半導体単結晶薄膜層と反対側でスイッチ素子の直上に位置しており、光弁装置の表側から入射する光を遮断している。この場合、各スイッチ素子は該半導体単結晶薄膜層に形成されたソース領域及びドレイン領域とゲート絶縁膜を介して積層配置されたゲート電極とからなる絶縁ゲート電界効果トランジスタで構成されているとともに、

方法により製造される。まず、一対の半導体単結晶板部材と絶縁性担体板部材とを用意する。次に、一方の板部材の表面に遮光膜を形成する。続いて、遮光膜を挟んで一対の板部材を接着するとともに、半導体単結晶板部材を研磨して半導体単結晶薄膜層を形成する。この半導体単結晶板部材は例えばLSI製造に用いられる高品質のシリコンウェハが用いられる。このシリコンウェハを研磨する事により実質的にシリコンウェハと同等の品質を有するシリコン単結晶薄膜層を得る事ができる。さらに、この半導体単結晶薄膜層に対して遮光膜に重ならない様に画素電極群を形成するとともに、遮光膜に重なる様にスイッチ素子群を集積形成する。最後に、担体板部材に対して所定の間隙を介して対向基板を接着するとともに、該間隙に電気光学物質を充填して光弁装置を完成する。この製造方法によれば、各スイッチ素子が形成された半導体単結晶薄膜層領域の直下に遮光膜からなる遮光手段が形成される。

(発明の作用)

上述した様に、本発明によれば絶縁性担体層及びその上に形成された半導体単結晶薄膜層とからなる二層構造を有する複合基板を用いており、且つ該半導体単結晶薄膜層は半導体単結晶バルクからなるウェハと同等の品質を有している。従って、かかる半導体単結晶薄膜層に対して微細化技術あるいはLSI製造技術を駆使して画素電極群及びこれらを駆動する為の駆動回路を集積的に形成する事ができる。この集積駆動回路には画素電極群に対して選択給電を行なう為のスイッチ素子群やこれらスイッチ素子群を線順次走査する為の周辺回路が含まれる。この結果得られる光弁装置は極めて高い画素密度及び極めて小さい画素寸法を有しており超小型高精細の光弁装置例えばアクティブマトリックス装置を構成できる。

特に本発明によれば、光弁装置は遮光手段を含んでおり集積駆動回路を入射光から保護している。例えば、遮光手段は個々のスイッチ素子を構成する絶縁ゲート電界効果トランジスタのチャネ

ル領域を入射光から遮閉する遮光膜を含んでいる。この為、半導体単結晶薄膜に形成された絶縁ゲート電界効果トランジスタに光リーク電流が発生するのを防止できる。又、該遮光手段は遮光層をも含んでおり、周辺ドライバ回路を構成するCMOSトランジスタを外部入射光から遮閉している。この為、誤動作の原因となるラッチアップ等を有効に防止する事ができる。

(実施例)

以下図面を参照して本発明の好適な実施例を詳細に説明する。第1図は本発明にかかる光弁装置の一実施例を示す模式的断面図であり、遮光手段として遮光膜を具備する例を表わしている。理解を容易にする為、第1図は一面素部分のみを切り出して示している。図示する様に、光弁装置は複合基板1を利用している。この複合基板1は半導体単結晶薄膜層例えばシリコン単結晶薄膜層2と絶縁性担体層例えば石英ガラス層3とを含んでいる。複合基板1の上には画素を規定する画素電極4が形成されている。又、シリコン単結晶薄膜層

2には画素電極4を駆動する為の集積駆動回路が形成されている。この集積駆動回路は対応する画素電極4に対して選択給電を行なう為のスイッチ素子5を含んでいる。このスイッチ素子5は絶縁ゲート電界効果トランジスタからなり、シリコン単結晶薄膜層2に形成された一対のドレイン領域D及びソース領域Sとゲート絶縁膜6を介して積層配置された所定の形状を有するゲート電極Gとから構成されている。トランジスタのソース領域Sは画素電極4に電気的に接続されているとともに、ドレイン領域Dは金属パタン7に電気的に接続されている。これら画素電極4及び金属パタン7はフィールド酸化膜8の上に堆積されている。フィールド酸化膜8はシリコン単結晶薄膜層2を選択的熱酸化処理する事により得られる。スイッチ素子5はその全体が保護膜15により被覆されている。

個々のスイッチ素子5を入射光から遮閉するための遮光手段が具備されている。本実施例においては、この遮光手段は遮光膜9から構成されてい

る。この遮光膜9は、各スイッチ素子5が形成された半導体単結晶薄膜層領域の直下に配置されており、光弁装置の裏面側から入射する光を遮断している。なお、表側から入射する光はスイッチ素子5のゲート電極Gによって有効に遮断できる。この遮光膜9は例えば不純物のドーピングされたポリシリコンからなり遮光性及び導電性を有するとともに絶縁層10に埋め込まれており、対応するスイッチ素子5から電気的に分離されている。この遮光膜9に導電性を持たせる事によりスイッチ素子5のバックゲート電極として利用する事もできる。なお、絶縁層10はシリコン単結晶薄膜層2と石英ガラス層3との間に介在している。

複合基板1に対して所定の間隙を介して対向基板11が対向配置されている。この対向基板11はガラス板12とその内側表面に形成された共通電極13とからなる。複合基板1と対向基板11の間には電気光学物質層例えば液晶層14が充填されており、画素毎に入射光の光学変調を行なう。即ち、画素電極4と共通電極13との間に印加される電圧の大

きさに応じて入射光に対する透過率が変化し光弁機能を奏する。

上述した実施例においては、遮光膜9は所定の形状にパタニングされたポリシリコン膜から構成されている。しかしながら、遮光膜の材料はこれに限られるものではなく、例えば高融点金属あるいは、高融点金属とシリコンの化合物からなるシリサイドで構成しても良い。高融点金属としてはタングステン、タンタル、白金等がある。又、スイッチ素子5を構成するトランジスタのゲート電極Gは通常ポリシリコンで構成されている。しかしながら、本発明はこれに限られるものではなくポリシリコンに代えてシリサイドを用いても良い。

次に、第2図(A)ないし第2図(G)を参照して第1図に示す光弁装置の製造方法の一例を説明する。先ず、第2図(A)に示す工程において、シリコン単結晶板21と石英ガラス板22とが用意される。シリコン単結晶板21は例えばLSI製造に用いられる高品質のシリコンウェハを用いる事が好ましく、その結晶方位は $\langle 100 \rangle \pm 0.0 \pm 1.0$ の範囲の

一様性を有し、その単結晶格子欠陥密度は500個/cm²以下である。シリコン単結晶板21の裏面は絶縁層23で被覆されている。この絶縁層23は例えばシリコン酸化膜あるいはシリコン窒化膜からなり、その表面は平坦化されている。一方、石英ガラス板22の表面には遮光膜24が形成されている。この遮光膜24は所定の形状にパタニングされたポリシリコンあるいは高融点金属シリサイドから構成されている。さらに、石英ガラス板22の表面は全体に渡って絶縁層25により被覆されている。この絶縁層25もシリコン酸化膜あるいはシリコン窒化膜からなりその表面は平坦化されている。

次に第2図(B)に示す工程において、平坦仕上げされた両板部材21及び22の両面を重ね合わせ加熱する事により両板部材を互いに熱圧着する。この熱圧着処理により、両板部材は強固に固着される。この結果、両板部材の間には融合して単層化された絶縁層26が介在する事となる。この絶縁層26に遮光膜24が埋め込まれている。

次に第2図(C)に示す工程において、シリコン

単結晶板21の表面を研磨する。この結果、絶縁層26の表面には所望の厚さまで研磨されたシリコン単結晶薄膜層27が形成される。従って、石英ガラス板22からなる担体層と単結晶シリコン薄膜層27とを有する複合基板が得られる。なお、単結晶シリコン板21を薄膜化する為に研磨処理に代えてエッチング処理を用いても良い。この様にして得られた単結晶シリコン薄膜27はシリコンウェハ21の品質が実質的にそのまま保存されるので、結晶方位の一様性や格子欠陥密度に関して極めて優れた半導体基板材料を得る事ができる。

ところで従来からシリコン単結晶薄膜を有する種々のタイプの半導体基板が知られている。いわゆるSOI基板と呼ばれているものである。SOI基板は例えば絶縁物質からなる担体表面に化学気相成長法等を用いて多結晶シリコン薄膜を堆積させた後、レーザビーム照射等により加熱処理を施し多結晶膜を再結晶化して単結晶構造に転換して得られていた。しかしながら、一般に多結晶の再結晶化により得られた単結晶は必ずしも

一様な結晶方位を有しておらず又格子欠陥密度が大きかった。これらの理由により、従来の方法により製造されたSOI基板に対してシリコンウェハと同様に微細化技術あるいはLSI製造技術を適用する事が困難であった。この点に鑑み、本発明は半導体製造プロセスで広く用いられているシリコンウェハと同程度の結晶方位の一様性及び低密度の格子欠陥を有するシリコン単結晶薄膜を用いて微細且つ高分解能の光弁装置を構成するものである。

続いて、上述した様に製造された複合基板に対してスイッチ素子及び画素電極を形成する工程を以下に説明する。先ず、第2図(D)に示す工程において、シリコン単結晶薄膜27の選択的熱酸化処理を行ない、フィールド酸化膜28を形成する。この選択的熱酸化はシリコン単結晶薄膜27の全厚に対して行なわれ完全にシリコン酸化膜に転換されるので、フィールド酸化膜28は実質的に透明である。選択的熱酸化処理を行なった結果、フィールド酸化膜28によって囲まれた部分に残されたシリ

コン単結晶薄膜27によって素子領域が形成される。この時、形成された素子領域の直下に遮光膜24が位置する様に選択的熱酸化処理のマスク合わせが行なわれる。

次に第2図(E)に示す工程において、素子領域に残されたシリコン単結晶薄膜27の表面部分のみの選択的熱酸化が行なわれゲート絶縁膜29が形成される。続いて、このゲート絶縁膜29の上に所定の形状にパタニングされたゲート電極30が配設される。このゲート電極30はポリシリコンあるいはシリサイドから構成され光学的に不透明である。

さらに第2図(F)に示す工程において、シリコン単結晶薄膜27に対する不純物ドーピングが行なわれドレイン領域31とソース領域32とが形成される。この不純物ドーピングは、例えばゲート電極30をマスクとしゲート絶縁膜29を介して不純物例えば砒素のイオン注入を行なう事により実行される。この結果、素子領域には一対のドレイン領域及びソース領域とゲート電極等からなる絶縁ゲート電界効果トランジスタ構造を有するスイ

ッチ素子33が形成される。このスイッチ素子33は、大きな電荷移動度を有する高品質シリコン単結晶薄膜27に形成されるので高速応答性を有するとともに、上述したLSI製造技術を駆使しているので μ mオーダーあるいはサブ μ mオーダーの微細寸法を有する。又、ドレイン領域31とソース領域32との間に形成されたトランジスタチャネル領域は下方から遮光膜24によって遮閉されるとともに、上方からゲート電極30によって遮閉される。従って、画素に対して入射光が照射されても、単結晶薄膜トランジスタに光リーク電流が誘起される事がない。

最後に第2図(G)に示す工程において、フィールド酸化膜28の表面に透明電極材料例えばITOからなる画素電極34がパタニング形成される。この画素電極34は遮光膜24に重ならない様に配設されるので、入射光は透明電極34、フィールド酸化膜28、絶縁層26及び石英ガラス板22からなる積層構造を透過する事ができ、透過型光弁装置を構成できる。画素電極34はゲート絶縁膜29に開口されたコンタクトホールを介してトランジスタのソー

ス領域32に電気接続されている。一方、金属パタン35も形成され、ゲート絶縁膜29に開口された他のコンタクトホールを介してトランジスタのドレイン領域31に電気接続されている。最後に、スイッチ素子33は保護膜36によって被覆される。この様にして、光弁装置用半導体基板チップが完成する。なお図示しないが、光弁装置を組み立てる為に、複合基板に対して所定の間隙を介して対向基板を重ねるとともに、この間隙に電気光学物質例えば液晶を封入する。

第3図(A)ないし第3図(C)は本発明にかかる複合基板の他の製造方法の例を示す工程図である。先に説明した例と異なり、本例においては遮光膜は予めシリコン単結晶板の表面の方に形成されている。先ず、第3図(A)に示す工程において、石英ガラス板41とシリコン単結晶板42とが用意される。石英ガラス板41の裏面を平滑仕上げする。一方、シリコン単結晶板42の表面にシリコン酸化膜からなる下地層43を形成した後、その上に遮光膜44をパタニング形成する。そして、遮光膜44を被

覆する様にシリコン酸化膜からなる絶縁層45を増積する。この増積は例えば化学気相成長法を用いて行なわれる。増積処理を行なった後、絶縁層45の表面を研磨し平坦化する。

次に第3図(B)に示す工程において、石英ガラス板41の平坦化された裏面とシリコン単結晶板42の平坦化された表面は互いに熱圧着される。この結果、シリコン酸化膜からなる絶縁層45と石英ガラス板41は互いに熱融合し一体化される。

最後に第3図(C)に示す工程において、シリコン単結晶板42を所望の厚みになるまで研磨しシリコン単結晶薄膜層46を形成する。このシリコン単結晶薄膜層46は下地層43を介して遮光膜44から電気的に分離されている。この様にして、本発明にかかる複合基板が製造される。この複合基板の表面に積層されたシリコン単結晶薄膜層46に対して、LSI製造技術を駆使し微細且つ高密度のスイッチ素子群及び画素電極群を集積形成する事ができる。

次に第4図(A)ないし第4図(C)を参照して本

発明にかかる複合基板の製造方法のさらに別の例を説明する。本例においては、遮光膜の形成と同時に素子分離領域の形成も行なう。先ず、第4図(A)に示す工程において、シリコンウェハ等からなるシリコン単結晶板51を用意する。このシリコン単結晶板51の表面をエッチングし段差凸部あるいは溝52を形成する。溝の形成された表面にシリコン酸化膜からなる絶縁層53を設ける。この結果、溝52は絶縁層53によって埋められる。絶縁層53は化学気相成長法により二酸化シリコンを堆積するか、あるいはシリコン単結晶板51の表面を熱酸化処理して形成される。さらに、絶縁層53の表面にポリシリコンからなる半導体多結晶層54を形成する。このプロセスはポリシリコンを化学気相成長法により堆積して行なわれる。続いて、堆積されたポリシリコンの表面を研磨し平坦化する。

次に第4図(B)に示す工程において、平坦化された半導体多結晶層54に対して、同じく平坦化された裏面を有する絶縁性担体板部材例えば石英ガラス板55を熱圧着により接合する。

して絶縁層53の選択的エッチングを行ない露出しているシリコン酸化膜を除去し窓部58を形成する。この窓部58にはポリシリコン層あるいは半導体多結晶層54が露出する事となる。

第4図(F)に示す工程において、この窓部58を介してポリシリコン層54のLOCOS酸化あるいは選択的熱酸化処理を行ない酸化膜層59に転換する。従って、窓部58は酸化膜層59によって埋め込まれる事となる。続いて、埋め込まれた酸化膜層59の表面を研磨あるいはエッチング等により平坦化する。

最後に第4図(G)に示す工程において、残されたマスク57を除去する。この結果、シリコン単結晶薄膜56は酸化膜層59により個々に電気的に分離される事となる。換言すると、酸化膜層59は素子分離領域を構成する。一方、個々のシリコン単結晶薄膜56の直下には絶縁層53を介してポリシリコン層54が配置される事となる。このポリシリコン層54が遮光膜を構成する。上述した方法により、予め素子分離領域が形成された複合基板を得

続いて第4図(C)に示す工程において、絶縁層53をストッパとして半導体単結晶板51をエッチング除去しシリコン単結晶薄膜56を形成する。この除去処理はエッチングに代えて研磨技術を用いても良い。この結果、段差凸部あるいは溝52の底部に存在していた絶縁層53の部分が露出される。この露出された絶縁層53の部分によってシリコン単結晶薄膜56は個々に分離されスイッチ素子の形成される素子領域が設けられる。そして、素子領域の上方には絶縁層53を介して半導体多結晶層54あるいはポリシリコン層が積層される事となる。このポリシリコン層が後に遮光膜を構成する。

第4図(D)に示す工程において、シリコン単結晶薄膜56のみを被覆する様にシリコン窒化膜からなるマスク57を形成する。なお、第4図(D)は、理解を容易にする為に基板の配置を表裏反転して示している。図から明らかな様に、シリコン窒化膜をパタニングして得られたマスク57は絶縁層53のみを露出させている。

第4図(E)に示す工程において、マスク57を介

する事ができるとともに、その複合基板の表面は完全に平坦化されており、LSI製造技術を適用するのに理想的な表面状態を有している。

さて、前述した種々の例においては、遮光手段を構成する遮光膜は個々のスイッチ素子の直下に配置され、光弁装置の裏側から入射する光に対してスイッチ素子の遮光を行なっている。これに対して、以下に説明する例は個々のスイッチ素子の直上に遮光膜が形成され、光弁装置の表側から入射する光に対してスイッチ素子の遮断を行なうものである。第5図(A)を参照してその一例を説明する。本例においては、遮光膜は金属配線から一部延設された部分によって構成されている。図示する様に、石英ガラス層61の表面にはシリコン単結晶薄膜層62が形成されている。このシリコン単結晶薄膜層62は前述した例と同様にシリコンウェハの接着及び研磨によって形成され結晶方位の一様性及び格子欠陥密度に関しシリコンウェハと同等の高品質を有している。シリコン単結晶薄膜層62はフィールド酸化膜63によって囲まれており素

子領域を形成する。この素子領域にはLSI製造技術を用いて高速且つ微細の絶縁ゲート電界効果トランジスタからなるスイッチ素子64が形成されている。このトランジスタスイッチ素子64は、ドレイン領域85と、ソース領域86と、ゲート絶縁膜を介して積層配置された所定の形状を有するゲート電極87とから構成されている。一方、フィールド酸化膜83の上には画素電極88が形成されている。本例においては、ゲート電極87及び画素電極88は共通のポリシリコン薄膜をパタニングする事により同時に形成される。画素電極88の透明性を維持する為に、ポリシリコン薄膜は非常に薄い厚みを有している。従って、ゲート電極87自体の遮光性は期待できず、何等かの遮光手段を設ける必要がある。

画素電極88はトランジスタのソース領域86に電気的に接続されているとともに、その表面は層間絶縁膜89によって被覆されている。この層間絶縁膜89は同時にスイッチ素子64をも被覆している。層間絶縁膜89の上には金属パタン又は金属配線70

が形成されている。この金属配線70は層間絶縁膜89に開口されたコンタクトホールを介してトランジスタのドレイン領域85に接続されている。金属パタン70は、素子領域の上方においてゲート電極87を被覆する様に延設された部分を有する。この延設された部分が遮光膜71を構成する。金属配線70はアルミニウム等の金属電極材料から構成されているので当然に不透明である。この様に、本例においてはドレイン電極と遮光膜が兼用されている構造となっている。最後に、スイッチ素子64及び画素電極88は保護膜72によって被覆されている。この保護膜72の表面は平坦化されており、この上に図示しないが電気光学物質層及び対向基板が重ねられる。

第5図(B)は第5図(A)に示す構造の一部分を拡大して示した平面図である。図示する様に、スイッチ素子64は走査線73と信号線74の交点部分に配置されている。走査線73はスイッチ素子64を線順次で選択する為の走査信号を供給しゲート電極87と電気的に接続されている。一方、信号線74は

前述した金属配線70からなり、トランジスタスイッチ素子64のドレイン領域85に対してコンタクトホールを介して電気的に接続されているとともに、所定の画像信号を選択されたスイッチ素子64に供給し画素電極88の選択給電を行なうものである。この画素電極88はコンタクトホールを介してトランジスタスイッチ素子64のソース領域86に電気的に接続されている。金属配線70あるいはドレイン電極の一部分はスイッチ素子64の全体を被覆する様に延設されており遮光膜71を構成している。この例においては、スイッチ素子64は走査線73と信号線74の交点に局在して配置されているので画素電極88の面積を極めて大きくとれる。この結果、画素毎の開閉率が大きくとれ光弁装置の高輝度化が図れる。

上述した例においては、遮光膜はドレイン電極と兼用されていた。これに対して、次に示す実施例においては遮光膜はゲート電極の表面に重ねられておりいわゆるセルフアライメントで形成されている。第6図に示す様に、石英ガラス層81の表

面にシリコン単結晶薄膜層82が配置されている。シリコン単結晶薄膜層82はフィールド酸化膜83によってその周囲を囲まれており素子領域を規定する。素子領域には絶縁ゲート電界効果トランジスタからなるスイッチ素子64が形成されている。このトランジスタは高品質のシリコン単結晶薄膜層82に対してLSI製造技術を適用して形成され微細な寸法を有するとともに高速スイッチング特性に優れている。トランジスタは、一対のドレイン領域85及びソース領域86とゲート絶縁膜87を介して積層配置された所定の形状を有するゲート電極88とから構成されている。ゲート電極88はドレイン領域85とソース領域86との間に形成されたチャネル領域を覆う様に配置されており、チャネル領域の電気的導通及び遮断を制御する。本例においては、ゲート電極88はポリシリコンから構成されている。このポリシリコンは本来不透明材料であるが、その膜厚が薄い場合には透過率が0%にならない。従って、必ずしもゲート電極88のみによっては完全な遮光効果を得る事ができない。

その為に、本例においてはゲート電極88の上に遮光膜89が重ねて形成されている。この遮光膜89は例えばアルミニウム等の金属あるいは高融点金属とシリコンの化合物であるシリサイドから構成されており入射光を完全に遮断する事ができる。従って、ゲート電極の下部に存在するチャネル領域に入射光が照射される惧れがなく、光リーク電流は発生しない。この結果、画素電極に蓄積された供給電荷はスイッチ素子の非選択期間中においてもリークする事がなく安定した動作を保證できる。ゲート電極88と遮光膜89は同一の平面形状を有しセルフアライメントで加工する事ができる。

トランジスタスイッチ素子84のソース領域88には画素電極90が接続されている。画素電極90はゲート電極と同様にポリシリコンから構成する事ができ、フィールド酸化膜83の上に堆積される。ポリシリコンに代えてITO等の透明性導電材料を用いても良い。一方、トランジスタスイッチ素子84のドレイン領域85には金属配線91が接続されている。この金属配線91は遮光膜89と同一の膜を

用いて同時にバタニング形成する事が可能である。

第7図(A)は第6図に示す実施例をさらに改良した例を示す模式的断面図である。図示する様に、石英ガラス層101の上にはシリコン単結晶薄膜層102が配置されている。シリコン単結晶薄膜層102はその素子領域を除いて選択的熱酸化処理を施こされフィールド酸化膜103に転換されている。この素子領域に絶縁ゲート電界効果トランジスタからなるスイッチ素子104が微細加工技術あるいはLSI製造技術を用いて形成されている。この絶縁ゲート電界効果トランジスタはいわゆるLDD構造を有し高耐圧型となっている。即ち、素子領域を規定するシリコン単結晶薄膜層102には高濃度不純物領域からなる第1ドレイン領域105と第1ソース領域106とが互いに離間して形成されている。さらに、低濃度不純物領域からなる第2ドレイン領域107が第1ドレイン領域105に隣接して形成されているとともに、同じく低濃度不純物領域からなる第2ソース領域108が第1ソース領域106に隣接して形成されている。一対

の第2ドレイン領域107及び第2ソース領域108との間にトランジスタチャネル形成領域109が配置される。この様に、LDD構造においては、トランジスタチャネル形成領域109はその両端に位置する低濃度不純物領域である第2ドレイン領域107及び第2ソース領域108に連続しているので、パンチスルーや短チャネル効果を有効に防止する事ができ高耐圧構造を実現できる。特に、画素電極を駆動する為のスイッチ素子には高電圧が印加される為、高耐圧構造である事は著しく信頼性の向上に寄与する。

トランジスタチャネル形成領域109の上にはゲート絶縁膜110を介してゲート電極111が重ねられている。このゲート電極111の上にはさらに遮光膜112が配置されており、入射光からトランジスタチャネル形成領域109を遮断している。本例においては、遮光膜112の平面形状はゲート電極111の平面形状に比べて大きく設定されている。この寸法形状としたのは、後に説明する様に遮光膜112を用いてセルフアライメントにより

LDD構造を実現する為である。

フィールド酸化膜103の上には画素電極113が配設されており、その一端はトランジスタスイッチ素子104の第1ソース領域108に電気的に接続されている。一方、金属配線114も形成されており、その一端はトランジスタスイッチ素子104の第1ドレイン領域105に電気的に接続されている。最後に、スイッチ素子104及び画素電極113を被覆する様に保護膜115が堆積されている。その表面は平坦化処理が施こされており、図示しないが液晶層及び対向基板がこの上に重ねて配置され光弁装置が完成する。

第7図(B)は、第7図(A)に示すLDD構造を有するスイッチ素子の製造工程を示す半完成品の模式的断面図である。第7図(B)は遮光膜112をマスクとして用いたイオン注入による不純物ドーピングプロセスを示す。図示する様に、ゲート電極111の直下には不純物イオン例えば砒素イオンのドーピングが行なわれないので、トランジスタチャネル形成領域109はシリコン単結晶薄膜層

102の本来の導電型例えばP型を維持する。一方、マスクとして用いられる遮光膜112によって覆われていない部分に対しては不純物砒素イオンが直接注入されるので、高濃度の N^+ 型不純物領域からなる第1ドレイン領域105と第1ソース領域106が形成される。さらに、ゲート電極111には重ならないが遮光膜112には重なる部分のシリコン単結晶薄膜層102には不純物砒素イオンの回り込みや不純物砒素の拡散等により低濃度不純物領域が形成される。即ち、この N^- 型不純物領域はゲート電極111の両側に形成され第2ドレイン領域107と第2ソース領域108を構成する。この結果、ゲート電極111より一回り大きい遮光膜112をイオン注入のマスクとして用いる事により、セルフアライメントで一時にLDD構造を形成する事が可能となる。

さて、以上に説明した様々な実施例においては、遮光手段は個々のスイッチ素子を裏側あるいは裏側から遮光する為の遮光膜で構成されていた。これに対して、以下に説明する実施例においては遮

光手段は周辺回路を遮断する為に設けられている。前述した様に、本発明によれば高電荷移動度を有する高品質のシリコン単結晶薄膜を用いているのでスイッチ素子群のみならずこれらスイッチ素子群を駆動する為の周辺駆動回路素子群も同時にLSI製造技術を用いて集積的に形成する事ができる。一般に、周辺回路素子群としてはCMOSトランジスタを用いるのが有利である。CMOSトランジスタはN型及びP型の絶縁ゲート電界効果トランジスタの組からなり、低消費電力である点に特徴がある。しかしながら、N型及びP型のトランジスタを隣接して配置すると必然的にNPNP接合からなる寄生サイリスタが形成され入射光の照射を受けるとラッチアップが生じ正常の動作が維持できなくなる。この結果、最悪の場合には暴走等が生じ光弁装置の機能は破壊される。この為に、個々のスイッチ素子の遮光と合わせて周辺回路素子群の遮光も極めて重要である。

第8図(A)に上述した周辺回路に対する遮光構造の一例を示す。第8図(A)は光弁装置の平面形

状を示している。表面にシリコン単結晶薄膜層が形成された複合基板121は、中央部にある画素アレイ区域122と周辺部に存在する周辺回路区域123に分割されている。画素アレイ区域122の表面に位置するシリコン単結晶薄膜層にはマトリクス状に配置された画素電極群124と対応するスイッチ素子群125とが集積的に高密度で形成されている。個々のスイッチ素子125は絶縁ゲート電界効果トランジスタから構成されている。トランジスタのゲート電極は行状に配設された走査線126に接続されており、そのドレイン電極は列状に配列された信号線127に接続されており、そのソース電極は対応する画素電極124に接続されている。

一方周辺回路区域123に存在するシリコン単結晶薄膜層の表面にはXドライバ128及びYドライバ129を含む周辺回路が同様にLSI製造技術を用いて集積的に形成されている。Xドライバ128は列状の信号線127に接続されており各画素に画像信号を供給するとともに、Yドライバ129は行

状の走査線126に接続されており各画素に対して繰順次走査信号を供給する。これら周辺回路128及び129は遮光層130によって被覆されている。この遮光層130は画素アレイ区域122を囲む様に配置されており周辺回路のみを選択的に遮光する様になっている。一方、画素アレイ区域に形成されたスイッチ素子群125については前述した様に個々に遮光膜が具備されている。

第8図(B)は、第8図(A)に示す光弁装置の断面構造を示す模式図である。図示する様に、複合基板121の上には所定の間隙を介して対向基板131が配置されているとともに、該間隙には電気光学物質例えば液晶132が封入されている。液晶132はシーラ133によって封止されている。図示しないが、シーラ133で囲まれた内側部分には画素アレイが配置されているとともに、シーラ133の外側にはYドライバ129等を含む周辺回路が配置されている。画素アレイ及び周辺回路は共通のシリコン単結晶薄膜層に形成されている。Yドライバ129を含む周辺回路は遮光層130によって上

下から遮断されている。本例においては、この遮光層130は複合基板121の周辺部に配置された金属材料から構成されている。この金属材料は遮光機能を有するとともに熱伝導性に優れている為光弁装置の冷却機能を有する。さらに、金属材料で構成されている為電磁気的なシールド機能をも有する。本例においては、金属材料又は金属フレームは複合基板121の表面から離間して配置されているが、必ずしもこれに限られるものではなく金属材料を複合基板121の表面に接着しても良い。かかる構成とする事により、ラッチアップ等による周辺回路の誤動作を有効に防止する事ができる。

本発明の構造、作用及び効果を明らかにする為に、第8図(A)及び第8図(B)を参照して光弁装置の全体的な動作を簡潔に説明する。個々のトランジスタスイッチ素子124のゲート電極は走査線128に接続されており、Yドライバ129によって走査信号が印加され線順次で個々のトランジスタスイッチ素子125の導通及び遮断を制御する。

み時間と保持時間から簡単に求められる。例えば画像信号がテレビジョン信号である場合には、1走査線期間の約60 μ secの間に画像信号の90%以上を書き込まねばならない。一方、1フィールド期間である約16msecで電荷の90%以上を保持しなければならない。その結果、電流比は5桁以上が必要となる。この時、トランジスタスイッチ素子は電荷移動度が極めて高いシリコン単結晶薄膜の上に形成されているのでオン/オフ比は6桁以上を確保できる。従って、極めて高速な信号応答性を有するアクティブマトリックス型の光弁装置を得る事ができる。又、シリコン単結晶薄膜の高移動度特性を利用して同時にXドライバ回路128及びYドライバ回路129を含む周辺回路を同一シリコン単結晶薄膜に形成する事が可能となる。この時、ドライバ回路も又遮光層130によって有効に遮断されているので光弁装置の誤動作を防止する事ができる。

さて、前述した例においては周辺回路を遮断する遮光層は金属フレームで構成されていた。これ

Xドライバ回路128から出力される画像信号は信号線127を介して導通状態にある選択されたトランジスタスイッチ素子125に印加される。印加された画像信号は対応する画素電極124に伝えられる。この結果、各画素電極124には画像信号の大きさに応じた電荷が供給され且つ蓄積される。蓄積された電荷により画素電極124は励起し液晶層132に作用してその透過率を局部的に変化させ光弁機能を奏する。一方、非選択時にはトランジスタスイッチ素子125は非導通状態となり画素電極124に書き込まれた画像信号を電荷として維持する。なお液晶層132は比抵抗が高く通常は容量性として動作する。トランジスタスイッチ素子は遮光層によって遮断されているので非導通状態において光リーク電流が発生せず画素電極に維持された電荷はリークしない。従って、極めて安定した光弁機能を発揮する事ができる。

ところで、これらトランジスタスイッチ素子のスイッチング性能を表わす為にオン/オフ電流比が用いられる。液晶動作に必要な電流比は書き込

に対して、以下に説明する実施例においては遮光層は複合基板の周辺部表面及び裏面に塗布された遮光性樹脂層から構成されている。第9図(A)に示す様に、複合基板141の上には対向基板142が搭載されている。対向基板142によって覆われている複合基板141の部分には画素アレイが形成されており、対向基板142によって覆われていない複合基板141の周辺部にはドライバ回路を含む周辺回路が集積形成されている。このドライバ回路を被覆する様に遮光性樹脂層143が塗布されている。

第9図(B)は第9図(A)に示す光弁装置の断面構造を示す模式図である。図示する様に、対向基板142は複合基板141に対して所定の間隙を介してシーラ又はシール部材144により接着固定されている。両基板の間隙には液晶層145が充填されている。複合基板141の周辺部にはドライバ回路146が形成されている。このドライバ回路146を被覆する様に遮光性樹脂層143が塗布されているのである。この遮光性樹脂層143は例えば黒色顔

料が分散されたエポキシ樹脂等からなる。ところで、複合基板141は通常石英ガラスを担体として用いている。従って、光弁装置の表側からのみならず裏側からもこの石英ガラス担体を通して光がドライバ回路146に入射してしまう惧れがある。従って、本例においては複合基板141の表面だけでなく裏面にも遮光性樹脂層143が塗布されている。

最後に第10図は遮光層の他の構成例を示す模式的断面図である。図示する様に、複合基板151の表面にはシリコン単結晶薄膜152が形成されている。このシリコン単結晶薄膜152には画素アレイに加えて周辺駆動回路153も高密度で集積的に形成されている。複合基板151の上には所定の間隙を介して対向基板154が搭載されている。両基板の間隙には液晶155が充填封止されている。両基板は接着剤からなるシーラ156によって互いに接合されている。本例においては、このシーラ156が遮光層を構成している。即ち、周辺駆動回路153を囲う様に黑色樹脂からなるシーラ156が配

設されているのである。かかる構造によれば、特に追加の遮光層を設ける事なく、シーラを遮光層として兼用する事ができ製造工程の合理化が図れる。なお、駆動回路153に対する遮光をより完全なものとする為に黑色樹脂157が光弁装置の側面及び裏面に塗布されている。複合基板151及び対向基板154は何れも透明材料から構成されているので基板端面から入射する光も屈折等を受け駆動回路153を照射する惧れがある。その為に、各基板の側面及び裏面をも遮光性の黑色樹脂で覆う様にしている。

(発明の効果)

上述した様に、本発明によれば担体層の上に形成された半導体単結晶薄膜に対して半導体微細化技術又はLSI製造技術を用いて画素電極群及び駆動回路を集積的に形成して得られる集積回路チップ基板を利用して光弁装置を構成している。この為、極めて高い画素密度を有する光弁装置を得る事ができるという効果がある。又、集積回路チップ基板の寸法を通常の半導体ICチップと同

程度にできるので極めて小型の光弁装置を得る事ができるという効果がある。半導体微細化技術を用いて画素を製造するので極めて高精度の光弁装置を得る事ができるという効果がある。

特に、駆動回路を入射光から遮断する為の遮光手段を用いたので、入射光の悪影響を受ける事なく光弁装置を正常に動作させる事ができるという効果がある。駆動回路に含まれるスイッチ素子群の各々に対して表面側及び裏面側から遮光層を配置する事によりスイッチ素子の光リーク電流を抑制する事が可能となり安定した光弁機能が保証できるという効果がある。又、駆動回路に含まれる周辺ドライバ回路等を外部入射光から遮断する遮光層を設ける事によりドライバ回路にラッチアップが生ずる事を防止でき光弁装置の誤動作を防げる。

4. 図面の簡単な説明

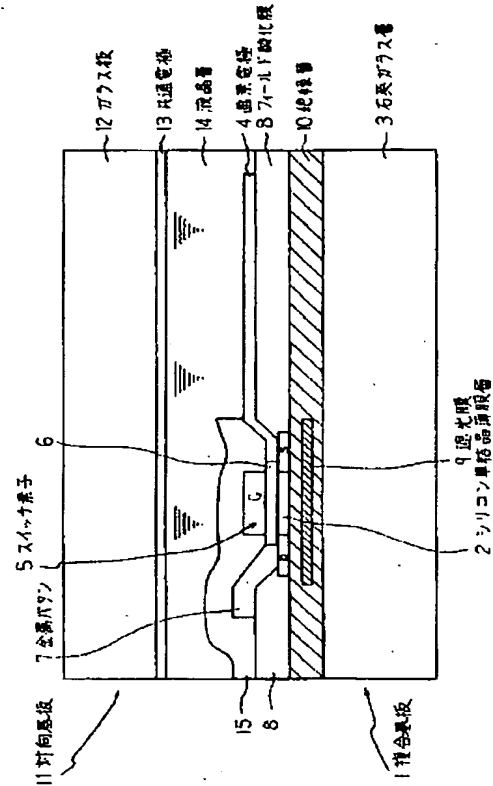
第1図は半導体単結晶薄膜基板光弁装置の一実施例を示す模式的断面図、第2図(A)ないし第2図(C)は第1図に示す光弁装置の製造方法を説明

する為の工程図、第3図(A)ないし第3図(C)は光弁装置に用いられる複合基板の製造方法を示す工程図、第4図(A)ないし第4図(G)は光弁装置に用いられる複合基板の製造方法の他の例を示す工程図、第5図(A)は半導体単結晶薄膜基板光弁装置の他の実施例を示す模式的断面図、第5図(B)は第5図(A)に示す光弁装置の部分平面図、第6図は半導体単結晶薄膜基板光弁装置の別の実施例を示す模式的断面図、第7図(A)は半導体単結晶薄膜基板光弁装置のさらに別の実施例を示す模式的断面図、第7図(B)は第7図(A)に示す光弁装置の製造方法を説明する為の模式図、第8図(A)は半導体単結晶薄膜基板光弁装置のさらに別の実施例を示す模式的平面図、第8図(B)は第8図(A)に示す光弁装置の断面図、第9図(A)は半導体単結晶薄膜基板光弁装置のさらに他の実施例を示す斜視図、第9図(B)は第9図(A)に示す光弁装置の断面図、及び第10図は半導体単結晶薄膜基板光弁装置のさらに他の実施例を示す模式的断面図である。

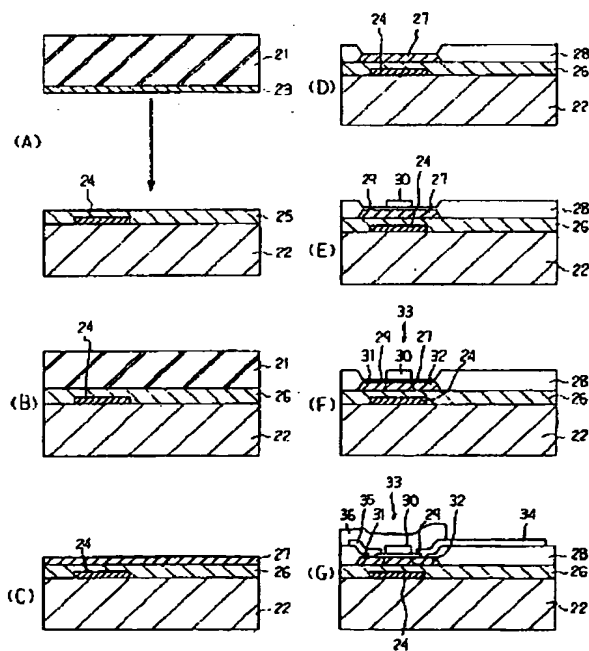
- | | |
|--------------|------------|
| 1…複合基板 | 4…画素電極 |
| 2…シリコン単結晶薄膜層 | 5…スイッチ素子 |
| 3…石英ガラス層 | 6…ゲート絶縁膜 |
| 7…金属パタン | 8…フィールド酸化膜 |
| 9…遮光膜 | 10…絶縁層 |
| 11…対向基板 | 12…ガラス板 |
| 13…共通電極 | 14…液晶層 |
| 15…保護膜 | D…ドレイン領域 |
| G…ゲート電極 | S…ソース領域 |

出 願 人 セイコー電子工業株式会社

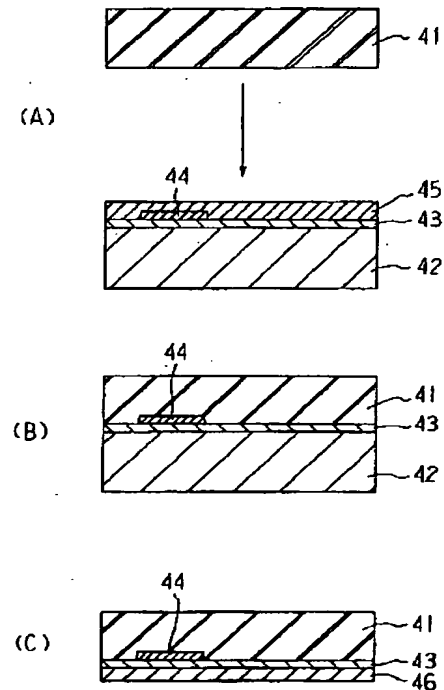
代 理 人 井 理 士 林 敬 之 助



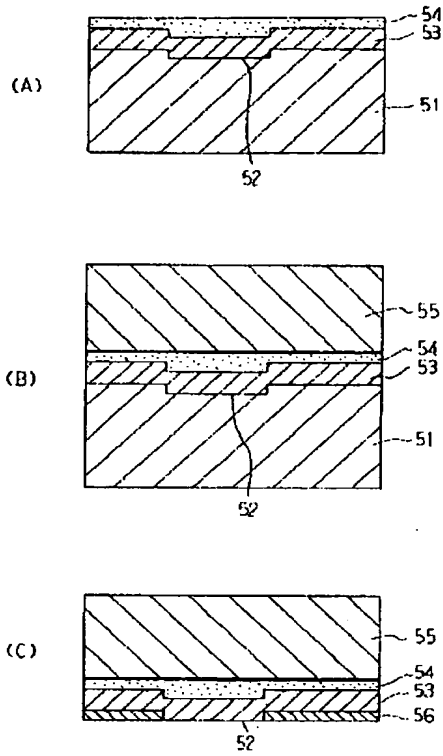
第 1 図



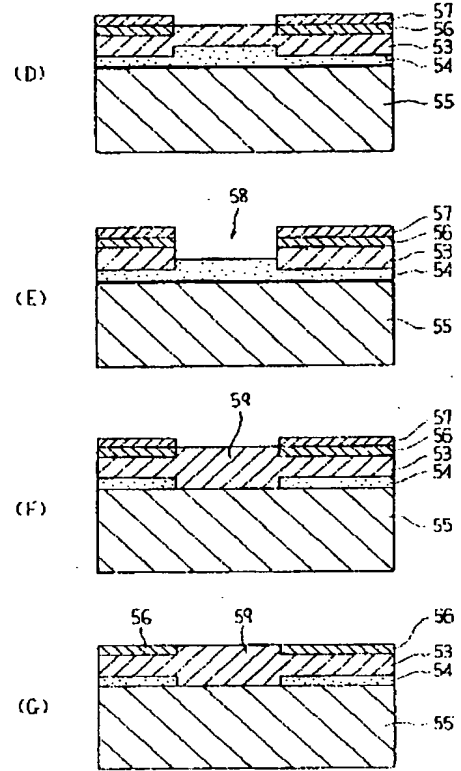
第 2 図



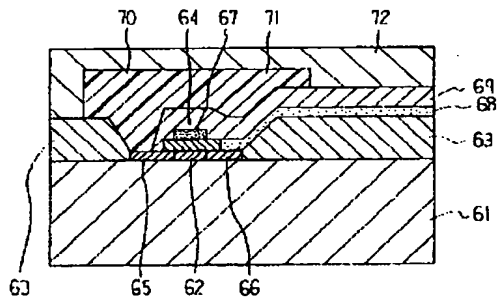
第 3 図



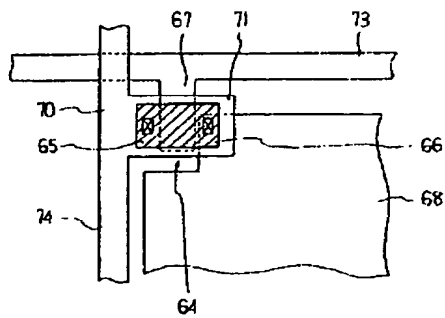
第4図



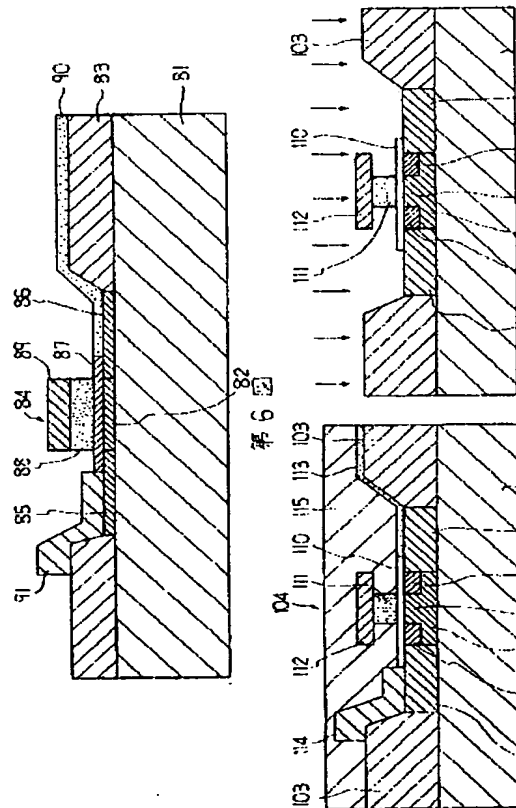
第4図



第5図 (A)



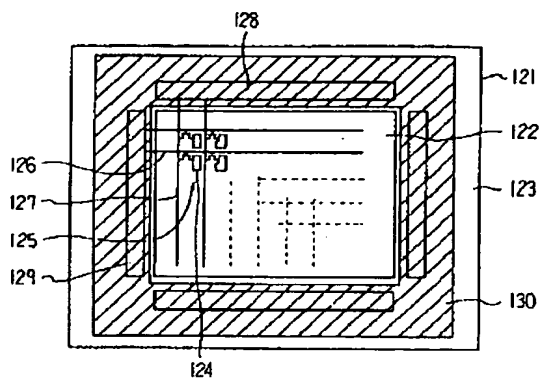
第5図 (B)



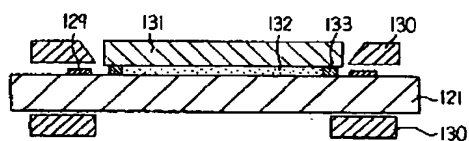
第6図

第7図 (B)

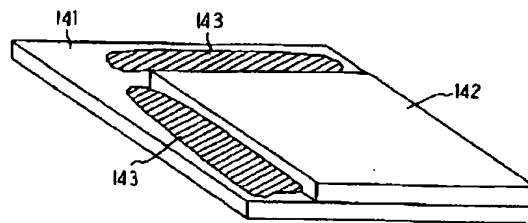
第7図 (A)



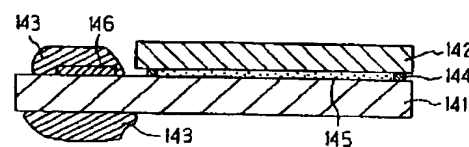
第8図(A)



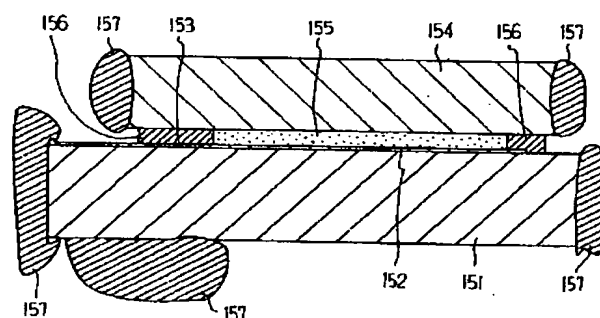
第8図(B)



第9図(A)



第9図(B)



第10図

第1頁の続き

⑤Int. Cl. 5

H 01 L 27/12
29/784

識別記号

A

庁内整理番号

7514-4M

⑫発明者	小島	芳和	東京都江東区亀戸6丁目31番1号	セイコー電子工業株式会社内
⑫発明者	鷹巣	博昭	東京都江東区亀戸6丁目31番1号	セイコー電子工業株式会社内
⑫発明者	高野	隆一	東京都江東区亀戸6丁目31番1号	セイコー電子工業株式会社内
⑫発明者	鈴木	宏	東京都江東区亀戸6丁目31番1号	セイコー電子工業株式会社内